



Date Mailed: January 28, 2003
Due Date: March 28, 2003

Patent Office
Notice of Reason for Rejection

Applicant: Name: Sanyo Electric Co., Ltd.
Address: 5-5, Keihan Hondori 2-chome, Moriguchi-shi,
Osaka, Japan

Representative: Name: Soo-Kil CHANG and two others
Address: Hannuri Building, 219 Naeja-Dong, Chongro-Ku,
Seoul (Kim & Chang)

Application No.: 10-2001-0022290

Title of the Invention: Semiconductor Device and Method of Manufacturing
the Same

RECEIVED
APR - 7 2003
TECHNOLOGY CENTER 2800

Since the following reason(s) for rejection has been found according to the examination of this application, this notice are made under patent law section 63. If necessary, please file a written opinion and/or amendment by the due date indicated above. (You may request every one-month extension of time period, however, no notice of accepting the extension of time regarding this request will be made.)

[Reason(s)]

The invention(s) recited in claims 1 to 13 of this application could easily have been made, prior to the filing of the patent application, by a person with ordinary skill in the art to which the invention pertains. Therefore, the invention(s) shall not be granted for a patent under patent law section 29(2).

Claims 1 to 13 relate to a semiconductor device and a method of manufacturing the semiconductor device, and characterized by, e.g., first and second concentration reverse conductive type drain regions, and a third concentration reverse conductive type drain region separated from the other end of the gate electrode and included in the second

concentration reverse conductive type drain region. This could easily have been made by a person having ordinary skill, by utilizing the structure of a high voltage semiconductor device having an n type first offset layer, a second offset layer and an n⁺ type drain layer disclosed in the cited publication 1, Japanese Patent Publication No. H11-121742, and the structure of a low voltage lateral DMOS device including a drain extension region disclosed in the cited publication 2, Korean Patent Publication No. 1998-69876.

[Enclosure]

Enclosure 1 Japanese Patent Publication No. H11-121742 (April 30, 1999)

Enclosure 2 Korean Patent Publication No. 1998-69876 (October 26, 1998)

January 28, 2003

Patent Office

1963

출력 일자: 2003/1/29

발송번호 : 9-5-2003-002754434
발송일자 : 2003.01.28
제출기일 : 2003.03.28

수신 : 서울 종로구 내자동 219 한누리빌딩(김 & 장 특허법률사무소)
장수길 귀하



특허청 의견제출통지서

출원인	명칭 산요 덴키 가부시키가이샤 (출원인코드: 519980961320) 주소 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고
대리인	성명 장수길 외 2명 주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호	10-2001-0022290
발명의 명칭	반도체 장치와 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장을 인용하지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-13항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구범위 제1-13항은 반도체 장치 및 그 제조방법에 관한 것으로, 제1, 제2농도의 역도전형 드레인 영역을 갖고, 게이트 전극의 타단으로부터 이격되고 제2농도의 역도전형 드레인 영역내에 제3농도의 역도전형 드레인 영역을 포함하는 것 등을 특징으로 하나, 이는 인용간행물 1 일본특개평 11-121742호에 개시된, n형 제1오프셋층, 제2오프셋층, $n+$ 형 드레인층을 갖는 고내압 반도체 장치의 구성과, 인용간행물 2 한국공개특허 1998-69876호에 개시된, 드레인 신장부를 갖는 저전압 측방 DMOS 장치의 구성을 활용하여 통상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

[첨 부]

첨부 1 일본공개특허공보 평11-121742호(1999.04.30) 1부
첨부2 한국공개특허공보 1998-69876호(1998.10.26) 1부 끝.

2003.01.28

특허청

심사4국

반도체2심사담당관실

심사관 임동우(임동우)